

同步计数器修正法设计

张春勇

(盐城工学院电气工程系, 盐城, 224003)

摘要 用修正法设计任意进制同步计数器是在同步二进制计数器高低位触发器连接具有规律的基础上, 改变其中某些位的驱动方程, 使之按 N 进制计数器状态计数。修正法较常规用卡诺图化简——求状态方程——求驱动方程的方法, 工作效率大为提高, 省去了大量重复的卡诺图化简及繁琐的状态方程, 避免人为因素造成的差错。

关键词 修正法 J 修正 K 修正 卡诺图

分类号 TM935

任意 N 进制同步计数器的工作状态码的顺序与二进制码的顺序相同(以 8421 码为准), 只是在最后有点差别, 因此只要修正二进制计数器的某些位的驱动方程, 就可完成 N 进制工作。

设 $S_0, S_1, S_2, S_3, \dots, S_{N-1}$ 为 N 进制加法计数器的状态顺序, 和二进制码相同, 不同之处是在第 N 个计数脉冲到来时, N 进制计数器由 S_{N-1} 态翻转至 S_0 , 而二进制计数器则由 S_{N-1} 翻转至 S_N 。以五进制计数器为例, 计数器工作状态如表 1 所示。

表 1 计数器工作状态表

CP	0	1	2	3	4	5
态序	S_0	S_1	S_2	S_3	S_4	S_5
五进制	000	001	010	011	100	000
二进制	000	001	010	011	100	101

根据以上特点, N 进制计数器与同步二进制计数器驱动方程基本相同, 只要修改其中有关方程即可得到 N 进制计数器方程。这样可使设计工作简化。

1 设计步骤(以 JK 触发器为例)

1.1 确定 JK 触发器的级数(n)

$-2^{n-1} < N \leq 2^n$ 其中 N 为模数。

1.2 写出 $S_{N-1} \rightarrow S_N$ 的二进制代码, 确定修正位。

• 收稿日期: 1998-01-22

1.3 修改有关 JK 触发器的驱动方程, 修改原则见表 2。

表 2 JK 端修正表

状态顺序	Q_i			
S_{N-1}	0	0	1	1
二进制	0	1	1	0
S_N	0	0	0	0
N 进制				
修改情况	不修正	J 修正	K 修正	不修正

说明: 为了使 Q_i 从 $0 \rightarrow 1$ 改为 $0 \rightarrow 0$, 由 JK 触发器状态转换图可知 (见图 1), 应修改 J_i 驱动方程, 使在 S_{N-1} 状态下, $J_i = 0, K_i = X, X$ ——表示任意状态, 所以 K_i 仍按二进制计数器规律连接。

为了使 Q_i 从 $1 \rightarrow 1$ 改为由 $1 \rightarrow 0$, 由图 1 可知应修正 K_i , 使在 S_{N-1} 状态下, $K_i = 0, J_i = X$ 。

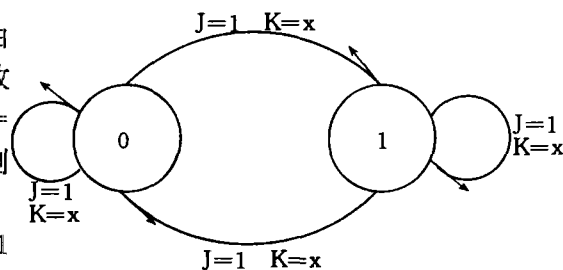


图1 JK触发器状态转换图

修改方法: $J_i = Q_1 Q_2 Q_3 \cdots Q_{i-1} \cdot \bar{P}$

$K_i = Q_1 Q_2 Q_3 \cdots Q_{i-1} + P$ 若 i 为最高位则 $K_i = 1$ 。

$P = \bigcap_{i=1}^n Q_i'$ (S_{N-1} 状态下, 第一位到第 n 位 JK 触发器中状态为“1”的 Q 端连乘积

(G).)

1.4 将同步二进制计数器的驱动方程按上述方法修正后, 可得到 N 进制驱动方程。

1.5 根据 N 进制驱动方程, 画出 N 进制电路并检查是否工作正常。

2 设计举例(以五进制为例)

2.1 确定 JK 触发器的级数(n)

根据 $-2^{n-1} < N \leq 2^n$ $\because N=5, \therefore n=3$

2.2 确定修正位, 见表 3。

表 3 $S_{N-1} \rightarrow S_N$ 状态表

状态顺序	Q_i		
S_4	1	0	0
二进制	1	0	1
S_5	0	0	0
五进制			
修正	K 修正	不修正	J 修正

确定 $P, P=Q_3$

$$J_1 = \bar{Q}_3 \quad K_3 = Q_1 Q_2 + P$$

$\because i=3$, 最高位

$$\therefore K_3 = 1$$

修正后的驱动方程为: $J_1 = \bar{Q}_3, K_3 = 1$

$$J_2 = K_2 = Q_1$$

$$J_3 = Q_1 Q_2, K_3 = 1$$

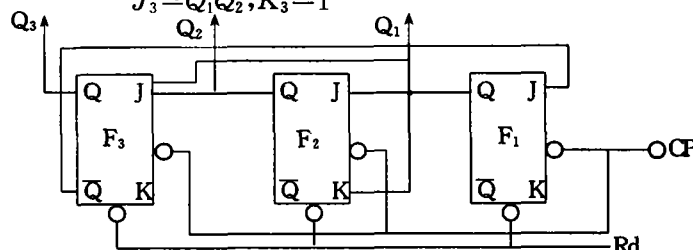


图2 五进制同步加法计数器

2.3 根据驱动器方程,画出电路如图2所示。

2.4 检查电路是否正常工作,很明显能够正常启动。

参 考 文 献

- 1 阎石. 数字电子技术基础. 高等教育出版社. 1989
- 2 王毓. 脉冲与数字电路. 高等教育出版社. 1985

Design of Base N synchronous Counter Using the Revised Method

Zhang Chunyong

(Department of Electric Engineering of Yancheng
institute of technology, Yancheng, 224003, PRC)

Abstract To design base N synchronous counter using the revised method is based on that the connection of the high and low bit of synchronous binary counter is regular and revise the drive equation of some bits and make it count in accordance with the status of the N base counter. Comparing with the normal method that uses karnaugh map to simplify—get status equation—get drive equation, this method has high efficiency and many repetitive simplification of karnaugh map can be mited. It's a quick efficient and dandy design method.

Keywords revised method, J revise, K revise, karnaugh map