

少地址线实现大容量 RAM 扩展及其查找技术

陆锦军

(南通职业大学教务处,南通 226007)

摘 要 介绍了采用少地址线实现大容量 RAM 数据存储器的扩展系统。具体设计了该系统的硬件组成线路、软件程序及其分页查找方法。

关键词 少地址 大容量 扩展 分页

分类号 TP368.1

在 MCS-51 单片机的产品中,片内数据存储器的容量一般为 128~256B。当数据量较大的时候,就需要在片外扩展 RAM 数据存储器,在一般情况之下,使用 P₀ 作为地址线低 8 位,P₂ 作为地址线高 8 位,扩展容量空间最大高达 64 kB。但在许多实际应用场合,例如楼宇自控系统、程控交换机数据信息存储系统、电化教学系统等需要的存储容量大于 64 kB。本文介绍一种占用较少地址线实现大容量数据存储器扩展系统,该系统主机采用 8031,扩展四片 62256 芯片,共 128 kB 的动态数据存储器,具体的硬件组成线路和软件分页处理方法如下^[1]。

1 硬件系统简介

扩展 128 kB 的硬件组成线路如图 1 所示: 62256 是 32 kB×8 位的数据存储器,共有 15 根地址线,为了给其它 I/O 扩展,故采用系统 14 根地址线,即占用 P_{0.0}~P_{0.7} 及 P_{2.0}~P_{2.5},四片 62256 的第 15 根地址都与 P_{1.0} 相连,而 62256 (1)、62256(2)、62256(3)、62256(4)的片选端分别与 P_{1.1}、P_{1.2}、P_{1.3}、P_{1.4} 相连,即 128 kB 的存储空间分为 8 页,每片 62256 都占用 2 页的存储空间。具体的连接线和地址分配如表 1。

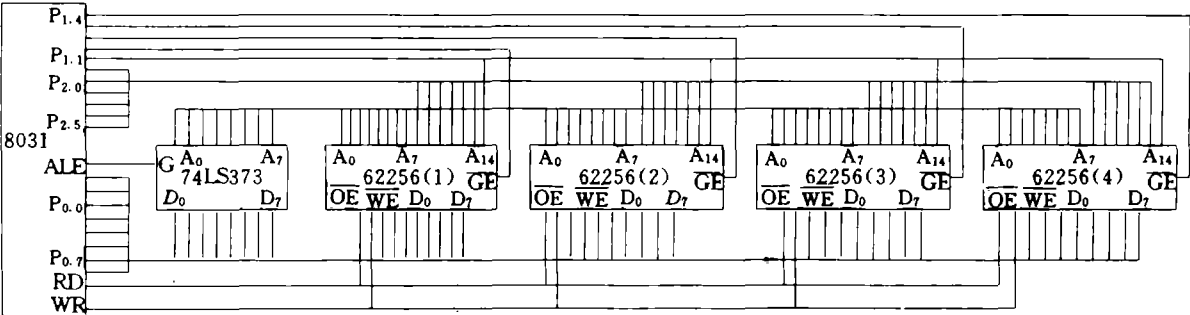


图 1 扩展 128 kBRAM 的 8031 系统

表 1 62256 的连接线和地址分配

芯片	P _{1.0}	P _{1.1}	P _{1.2}	P _{1.3}	P _{1.4}	存储地址
62256(1)	0	0	1	1	1	0000H~3FFFH
	1	0	1	1	1	0000H~3FFFH
62256(2)	0	1	0	1	1	0000H~3FFFH
	1	1	0	1	1	0000H~3FFFH
62256(3)	0	1	0	0	1	0000H~3FFFH
	1	1	1	0	1	0000H~3FFFH
62256(4)	0	1	1	1	0	0000H~3FFFH
	1	1	1	1	0	0000H~3FFFH

2 软件程序设计

其软件程序框图如图 2 所示,当访问数据存储器时,采用了分页查找的方法^[2],首先找到要访问的页数,再打开该页,在该页内查找某一单元。128 kB 的地址范围为 00000H~1FFFFH,显然 16

• 收稿日期:1999-05-10

位地址指针寄存器 DPTR 是无法寄存的,故将地址装入 62256(1)的头 3 个连续单元,一旦要访问 62256 中的某一单元,首先取出 62256(1)起始 3 个单元的数据内容(也就是要访问的某单元地址),将该数据除以 4000H,商数即为该单元的页数,余数即为该页中的地址,再利用散转指令打开该页,访问页中的单元。具体软件程序见程序清单。

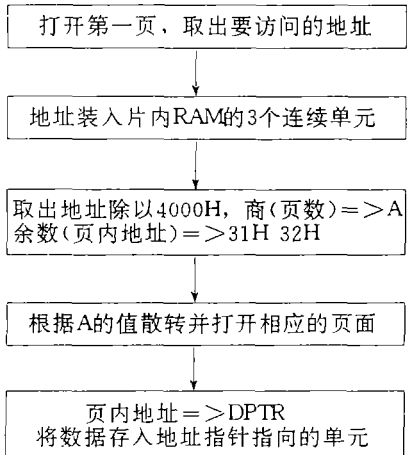


图 2 软件程序框图

3 使用后体会

本扩展电路及其软件处理方法,在楼宇自控系统、综合智能布线、电视监控防盗系统的数据采集中进行实际应用,使用起来非常方便,效果较好,而且可以根据系统需要的容量大小,进行线路的适当变化,即 增加或减少 62256 芯片,软件处理方法可基本保持不变。

程序清单

```
CLR    P1.0
CLR    P1.1
SETB   P1.2
SETB   P1.3
SETB   P1.4
MOV     DPTR, #0
MOV     R7, #3
MOV     R1, #30H
AA: MOVX A, @DPTR
MOV     @R1, A
INC     DPTR
INC     R1
DJNZ    R7, AA
LCALL   FP
MOV     B, #3
```

```
MUL     AB
MOV     DPTR, #TAB
JAP     @A+DPTR
TAB: LJMP P1
      LJMP P2
      LJMP P3
      LJMP P4
      LJMP P5
      LJMP P6
      LJMP P7
      LJMP P8
P1:  CLR    P1.9
      CLR    P1.1
      SETB   P1.2
      SETB   P1.3
      SETB   P1.4
      LJMP   WR
P2:  SETB   P1.6
      CLR    P1.1
      SETB   P1.2
      SETB   P1.3
      SETB   P1.4
      LJMP   WR
P3:  CLR    P1.0
      SETB   P1.1
      CLR    P1.2
      SETB   P1.3
      SETB   P1.4
      LJMP   WR
P4:  SETB   P1.0
      SETB   P1.1
      CLR    P1.2
      SETB   P1.3
      SETB   P1.4
      LJMP   WR
P5:  CLR    P1.0
      SETB   P1.1
      SETB   P1.2
      CLR    P1.3
      SETB   P1.4
      LJMP   WR
P6:  SETB   P1.0
      SETB   P1.1
      SETB   P1.2
```

	CLR	P _{1,2}		SWAP	A
	SETB	P _{1,3}		MOV	B, #4
	LJMP	WR		DIV	AB
P7:	CLR	P _{1,0}		PUSH	ACC
	SETB	P _{1,1}		MOV	A, 31H
	SETB	P _{1,2}		ANL	A, #0FH
	SETB	P _{1,2}		XCH	A, B
	SETB	P _{1,4}		SWAP	A
	LJMP	WR		ANL	A, B
P8:	SETB	P _{1,0}		MOV	31H, A
	SETB	P _{1,1}		POP	A
	SETB	P _{1,2}		RET	
	SETB	P _{1,3}	WR:	MOV	DPH, 31H
	CLR	P _{1,4}		MOV	DPL, 32H
	LJMP	WR		MOV	R ₆ , #20H
FP:	MOV	A, 31H		MOV	A, @R ₆
	ANL	A, #FOH		MOVX	@DPTR, A
	ADD	A, 30H			

参 考 文 献

1 张友德,赵志英,涂时亮. 单片微型机原理、应用与实验. 第 2 版. 上海:复旦大学出版社,1997. 182~185
2 涂时亮. 单片微机控制技术. 上海:复旦出版社,1994. 168~170

Large Capacity RAM Expansion With Less Address
Lines And the Technology of Searching

Lu Jinjun

(The Dear of Nantong Vocational College, NanTong 226007, PRC)

Abstract This paper introduces a new way to realise the large Capacity RAM expansion with less address lines. The hardware composition and how to search it are also introduced.
Keywords Less address; Large Capacity; Expansion; Paging Searching