

用 ASM 图设计控制器的研究*

俞 宁

(淮安信息职业技术学院 江苏 淮安 223001)

摘 要:在对数字系统设计中控制器设计方法进行分析的基础上,探讨了两种不同的设计方法所适用的条件,并重点阐述了用 ASM 图设计数字系统中控制器的步骤及要注意的问题。

关键词:ASM 图;控制器设计;数字电路

中图分类号: TN702

文献标识码: A

文章编号: 1671-532X(2002)03-0018-03

ASM 图的全称是 ALGORITHMIC STATE MACHINE CHART。它以软件设计中流程图的形式来描述控制器在不同的时间内应完成的一系列操作。关于用 ASM 图设计控制器,主要是采用以计数器或移位寄存器为核心,加其它组合逻辑器件来进行控制器设计的方法。这种方法的优点是设计步骤明确,电路与 ASM 图之间关系清晰,当 ASM 图变化时,控制器电路变化较少。但这种方法对于系统状态变量较多时,硬件电路结构往往不能满足要求。随着可编程逻辑器件的大量使用,由于 PLD 器件硬件资源相当丰富,人们设计数字电路的重点不再是单纯的放在节省器件上,而是更注重电路设计容易,逻辑关系明确。更多的是采用“一对一”型控制器设计方法,这种方法也称为状态触发器控制方法^[1]。

下面通过例子来说明如何从已知的 ASM 图,用以计数器为核心的设计方法和“一对一”型控制器设计方法导出系统控制器的逻辑电路图。

1 以计数器为核心的控制器设计

计数器是最常用的时序部件之一,一个模 K 的计数器具有 K 个状态,因此可用来作为状态数小于或等于 K 的控制器状态发生器,这时控制器的状态转换可用计数器的计数操作(递增或递减)来实现,而设计的关键在于按照控制器 ASM 图求出计数器各功能控制端和置数端的激励函数,下面介绍“计数器——数据选择器——译码

器”结构的控制器设计。

图 1 为某系统控制器的 ASM 图,试导出以计数器为核心的该系统控制器的逻辑图。

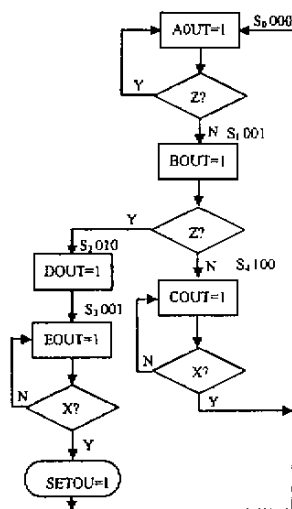


图 1 某系统控制器的 ASM 图

Fig. 1 The ASM chart of one system controller

1.1 计数器的选择

由 ASM 图可知,控制器共有 5 个状态。所以选择模数 $K \geq 5$,且具有计数和并行置数功能的同步计数器即可满足要求。本例选择计数器 74LS161,其功能如表 1 所示。

1.2 ASM 图状态分配

状态分配的基本原则是次态代码尽可能为现态代码加 1,有状态分支的代码分配可利用置数、保持来区分不同代码。

表 1 74LS161 功能图

Table 1 Function chart of 74LS161

输入								输出			
CP	CR	LD	P	A	B	C	D	Q _A	Q _B	Q _C	Q _D
↑	0	φ	φ	φ	φ	φ	φ	0	0	0	0
↑	1	0	φ	a	b	c	d	a	b	c	d
↑	1	1	1	φ	φ	φ	φ	计 数			
↑	1	1	0	φ	φ	φ	φ	保 持			

1.3 画出计数器操作图

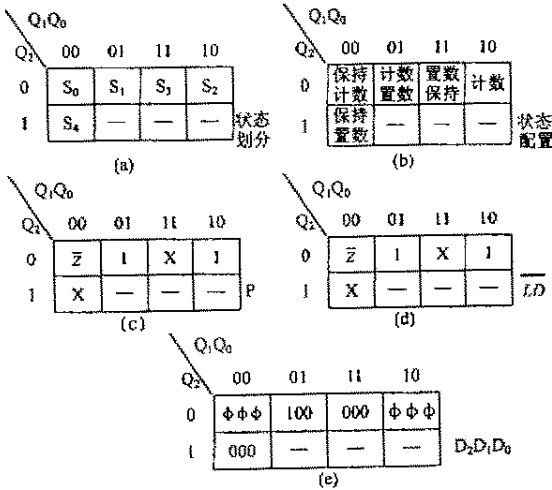


图 2 以计数器为核心的控制器设计

Fig.2 Design the controller which kernel based on counter

1.4 控制端和置数端的函数方程

在选用计数器——数据选择器——译码器结构的情况下,计数器各功能控制端和置数端的函数方程为:

$$\begin{aligned} \overline{CR} &= 1 \\ P &= S_0 \overline{Z} + S_1 + S_2 + XS_3 + XS_4 \\ \overline{LD} &= S_0 + S_1 Z + S_3 \\ D_2 &= S_1 \\ D_1 &= \varphi \\ D_0 &= \varphi \end{aligned}$$

1.5 控制器输出信号

$$\begin{aligned} AOUT &= S_0 \\ BOUT &= S_1 \\ DOUT &= S_2 \\ COUT &= S_4 \\ EOUT &= S_3 \\ SETOU &= S_3 X (\text{条件输出}) \end{aligned}$$

1.6 控制器逻辑图

以计数器为核心计数器——数据选择器——

译码器结构的控制器逻辑电路如图 3 所示。

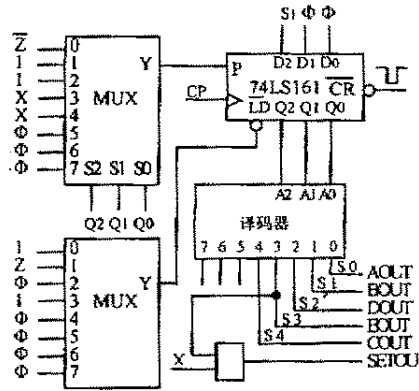


图 3 以计数器为核心的控制器电路

Fig.3 Circuit of the controller which kernel based on counter

2 “一对一”型控制器设计

这种方法的特点是以一个 D 触发器表示 ASM 图中的一个状态,对于一个有 n 个状态的控制器需要 n 个状态变量。当控制器处于状态 Q_i 时,状态变量 $Q_i = 1$,其它状态变量均为 0。

这种设计方法不进行传统的二进制编码的状态分配,而仅确定状态和状态变量的对应关系。

怎样构成每个状态触发器的输入组合逻辑呢?在这种方法中,一个触发器代表一个状态数,要找到这个状态触发器的输入函数,只要从 ASM 图上找到哪些状态(作为现状)分别在什么条件下能到达这个状态(作为次态),然后把所能到达这个状态的情况综合起来就可以得到该状态触发器的输入方程了。

为满足系统起动进入初始状态的要求,往往用异步清零来实现,一般用状态变量全 0 作为初始状态。

下面仍以图 1 所示某控制器 ASM 图为例说明“一对一”型方法的设计过程。

2.1 多 D 触发器的选择

ASM 图中有 5 个工作状态,选用常规的 8D 触发器来实现电路要求,输出状态变量为 $Q_0 Q_1 Q_2 Q_3 Q_4$ 。

2.2 状态分配

“一对一”型控制器设计的基本思想是把一个状态和一个变量对应起来,但为简化初始化电路,假设:

状态	$\overline{Q_0}$	Q_1	Q_2	Q_3	Q_4
S_0	1	0	0	0	0
S_1	0	1	0	0	0
S_2	0	0	1	0	0
S_3	0	0	0	1	0
S_4	0	0	0	0	1

2.3 列出状态表

表 2 状态表
Table 2 Status list

行号	NS	PS	输入条件
1	S_0	S_0	Z
		S_1	X
		S_4	X
2	S_1	S_0	\overline{Z}
3	S_2	S_1	Z
4	S_3	S_2	—
		S_1	\overline{X}
		S_1	\overline{Z}
5	S_4	S_1	\overline{Z}
		S_4	\overline{X}

2.4 由状态表求多 D 触发器激励函数方程

设状态变量 $Q_0Q_1Q_2Q_3Q_4$ 对应的激励端为 $D_0D_1D_2D_3D_4$ 则由状态表直接求得它们的激励方程

$D_0 = \overline{Q_0} + Q_3X + Q_4X$ (因为 S_0 对应状态变量为全 0)

$D_1 = \overline{Q_0}\overline{Z}$

$D_2 = Q_1Z$

$D_3 = Q_2 + Q_3\overline{X}$

$D_4 = Q_1\overline{Z} + Q_4\overline{X}$

2.5 控制器逻辑电路图

以 8D 触发器为核心的“一对一”型控制器逻辑

参考文献：

[1] 沈嗣昌, 蒋旋, 臧春华. 数字系统设计基础 [M]. 北京: 航空工业出版社, 1985.

The Research on Control Design Using ASM Diagrams

YU Ning

(Huaian College of Information Technology Jiangsu Huaian 223001 ,China)

Abstract It analyses several methods of designing controls in digital system design. It illustrates steps of designing control by use of two examples and brings forward problems needing to pay attention to in design. It will help design digital system.

Keywords AMS diagrams ; Control design ; Digital circuit

辑电路图如图(4)所示,通过开机清零操作进入状态 S_0 。激励电路用一片 PLA 实现,整个电路与算法一一对应。需要说明的是在工程应用中,由于 PLD 中触发器都是 D 型。所以,整个控制器电路选用一片 PLD 芯片即可满足要求。

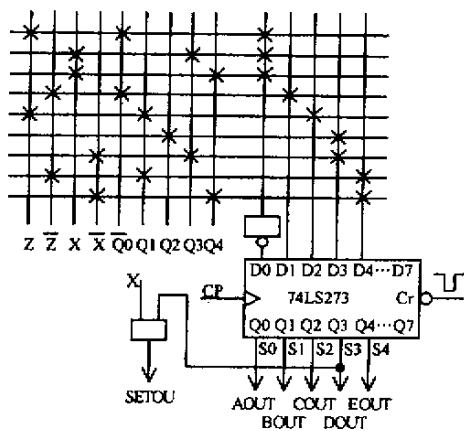


图 4 用“一对一”方法设计的控制器电路

Fig.4 Circuit of the controller designed by means of “one to one”

3 结束语

以计数器和“一对一”型控制器的设计方法可以使设计容易,电路清晰,各触发器的输入直接描述了在哪些情况下该触发器所代表的那个状态得以出现的条件,因而适用于状态数很多的情况。随着右编程逻辑器件的广泛使用,这种方法越来越多地被广大设计人员所采用。该方法的缺点是当系统硬件出现问题时,会出现一个以上的状态触发器输出真值,这是由于系统在同一时间接受几条 ASM 通道造成的。