

单精度浮点数到十进制数转换的 IP 核设计

周磊,成开友,孙宏国

(盐城工学院 电气工程学院,江苏 盐城 224051)

摘要:采用 FPGA 进行数字信号处理的系统,总是要频繁的进行 IEEE 754 浮点数到十进制码的转换。设计针对 FPGA 的特点提出了一种以简单的移位和加减操作为核心的转换算法,并用 VHDL 语言编写了状态机结构的 IP 核。在 EP1C6Q240C8 芯片上实现了 732 个逻辑单元的使用以及 69.21 MHz 最大运行速度。

关键词:IEEE 754 浮点数;十进制码;FPGA;IP 核

中图分类号:TN47 **文献标识码:**A **文章编号:**1671-5322(2011)01-0051-04

IEEE (Institute of Electrical and Electronics Engineers, 电子电气工程师协会)在 1985 年制定的 IEEE 754 (IEEE Standard for Binary Floating - Point Arithmetic, ANSI/IEEE Std 754 - 1985)是最广泛使用的二进制浮点数存储及运算标准。而使用者更期望看到十进制的输出结果,故而研究 IEEE 754 浮点数到十进制的转换就非常有必要。

随着 FPGA(Field - Programmable Gate Array, 现场可编程门阵列)成本的降低和集成度的提高,越来越多的数字信号处理系统会采用 FPGA 作为主处理器。在系统的显示输出部分需要频繁的用到 IEEE 754 浮点数到 BCD 码的转换。文献[1]总结了各种二进制到 BCD 码转换算法的优缺点后,提出了针对二进制整数的基 2 转换算法,忽略了普遍存在的二进制浮点数转换问题。

基于 IEEE 754 浮点数的存储格式,本文以单精度浮点数为例,针对 FPGA 的特点,提出一种以简单的移位和加减操作为核心的转换算法,并用

VHDL 编写了状态机结构的 IP 核(Intellectual Property core)。在 EP1C6Q240C8 芯片上实现了 732 个逻辑单元的使用以及 69.21MHz 最大运行速度。

1 IEEE 754 单精度浮点数与 BCD 码存储格式

IEEE 754 浮点数主要由符号位(S)、指数位(E)以及尾数位(M)组成。32 位单精度浮点数的存储格式可见表 1。

根据表 1 表示数值列的公式可以计算出 32 位单精度浮点数所表示的十进制数的范围在 $-1.401298464324817 \times 10^{-45}$ [0x80000001H] 到 $3.4028234663852886 \times 10^{+38}$ [0x7f7ffffFH] 之间。考虑以后与 Nios II 等 CPU 软核之间的通信问题,确定该 IP 核的输出结果也为 32 位。其中,非规格化浮点数的指数 E_0 有效位数大于 6 的情况,则最高有效位与指数符号位(SE_0)复用,用 stand 信号加以区分。具体存储格式如表 2 所示。

表 1 32 位 IEEE 754 浮点数格式

Table 1 32-bit IEEE 754 floating point format

符号位(S)1[31]	指数(E)8[30..23]	尾数(M)23[22..0]	表示数值(N_b)
0(正)或1(负)	00..00 非规格化数	00..00 00..01 ~ 11..11	0 $(-1)^S * 2^{-127} * 0.M^Q$
	11..11 非规格化数	00..00 00..00 ~ 11..11	$+\infty$ 或 $-\infty$ NaN(not a number)
	00..01 ~ 11..10 规格化数	00..01 ~ 11..11	$(-1)^S * 2^{-127} * 0.M^Q$

收稿日期:2010-11-15

作者简介:周磊(1980-),男,江苏盐城人,讲师,硕士,主要研究方向为 EDA 技术与应用。

表 2 32 位输出 BCD 码格式
Table 2 32-bit output BCD code format

符号位(S_D)	指数符号位(SE_D)	指数(E_D)	尾数(M_D)	表示数值(N_D)
1[31]	1[30]	6[29..24]	24[23..0]	$(-1)^{S_D} * 10^{(-1)^{SE_D} * E_D} * M_{D[23..20]} * M_{D[19..00]}^{\text{①}}$

2 求符号位与指数符号位的算法

对比表 1 和表 2 不难看出确定 S_D 与 SE_D 的算法如下:

$$S_D = S$$

IF $N_B = 0$ OR $N_B = \infty$ OR $N_B = \text{NaN}$ OR ($E > 127$ AND $E < = 255$) THEN

$$SE_D = 0$$

ELSE

$$SE_D = 1$$

END IF

对于 0、NaN、 ∞ 这 3 类特殊的浮点数在设计 IP 核输出时分别制定了 3 个状态 zero、NaN、overflow 来加以说明,此时的输出总是零,故而指数符号位为零。

3 求指数与尾数的算法

N_D 的 S_D 与 SE_D 确定以后,通过把表 1 的公式①所表示的浮点数中的小数点向后移动至第一个不为零数的后面,同时修改指数 E 可以把表 1 中的公式①所表示的数统一到公式②中来。这样只需思考表 1 公式②形式的浮点数的转换。0、NaN、 ∞ 这 3 类特殊的浮点数不需要转换。

3.1 求 $SE_D = 0, |N_B| \geq 1$ 的指数与尾数的算法

由于对于 $|N_B| \geq 1$ 的浮点数而言,必然存在 $10^{E_D} \leq |N_B| < 10^{E_D+1}$,故而可以确定求指数 E_D 的算法如下:

$$E_D = 0$$

WHILE $|N_B| \geq 10^{E_D+1}$ LOOP

$$E_D = E_D + 1$$

END LOOP

10^n 的二进制算法见 4.1。设 10^{E_D} 的指数为 E_{ED} ,尾数为 M_{ED} ,则对于 $|N_B| \geq 10^{E_D+1}$ 条件成立主要有以下两种情况:

(1) 由于 $2^3 < 10 < 2^4$,故而当指数 $E - 3 > E_{ED}$ 时条件成立;

(2) 当 $E - 3 = E_{ED}$ 时,当 $M_{[22..20]} > 1$ 时条件亦成立。

设 M_D 的指数为 E_{MD} ,尾数为 M_{MD} ,则其值由公式 1 确定:

$$M_D = \frac{N_B}{10^{E_D}} \begin{cases} E_{MD} = E - E_{ED} \cdots \cdots \text{①} \\ M_{MD} = \frac{1 \cdot M}{1 \cdot M_{ED}} \cdots \cdots \text{②} \end{cases} \quad (1)$$

公式(1)②可以采用常用的移位相减的除法

规则来实现。而由于 $1 \leq \frac{N_D}{10^{E_D}} < 10$,故不难得出

$0 \leq E_{MD} \leq 3, M_{MD} \geq 1, M_{D[23..20]}$ 的值为 M_{MD} 的左 $E_{MD} + 1$ 位,剩下的即为纯小数部分,它向 BCD 码的转换见 4.2。

3.2 求 $SE_D = 1, |N_B| < 1$ 的指数与尾数的算法

对于 $SE_D = 1$ 的浮点数转换,如遵循 4.1 的算法过程。公式 1 在此时转化为公式(2):

$$M_D = \frac{N_B}{10^{-E_D}} = N_B 10^{E_D} \quad (2)$$

由 4.1 可以看出乘 10 二进制运算实现较容易。故而求 E_D, M_D 算法如下:

$$E_D = 0$$

$$M_D = N_B$$

WHILE $|N_B| \leq 10^{-E_D-1}$ LOOP

$$E_D = E_D + 1$$

$$M_D = M_D \cdot 10$$

END LOOP

设 10^{E_D} 的指数为 E_{ED} ,尾数为 M_{ED} ,则对于 $|N_B| \leq 10^{-E_D-1}$ 条件成立为: $E_{ED} < |E|$ 。

设 M_D 的指数为 E_{ED} ,尾数为 $M_{ED}, M_D \times 10$ 的运算可以参考 4.1。由于 $E_{ED} > |E|$ 时循环结束,所以 $E_{MD} = E_{ED} - |E|$ 。同理, $M_{D[23..20]}$ 的值为 M_{MD} 的左 $E_{MD} + 1$ 位,剩下的即为纯小数部分,它向 BCD 码的转换见 4.2。

4 二进制浮点数乘 10 与纯小数转 BCD 码算法

4.1 二进制浮点数乘 10 的算法

设任意一个二进制浮点数 R 的指数为 E_R ,尾数为 M_R ,则:

$$R * 10 = (R + \frac{R}{4}) * 2^3 \begin{cases} E_R = E_R + 3 \cdots \cdots \textcircled{1} \\ 1 \cdot M_R = 1 \cdot M_R + 1 \cdot M_R \text{ 右移 2 位 } \cdots \cdots \textcircled{2} \\ E_R = E_R + 4 \cdots \cdots \textcircled{3} \\ 1 \cdot M_R = 1 \cdot M_R \text{ 右移 1 位 } + 1 \cdot M_R \text{ 右移 3 位 } \cdots \cdots \textcircled{4} \end{cases} \quad \begin{matrix} M_R < 0.6 \\ \\ \\ M_R \geq 0.6 \end{matrix} \quad (3)$$

公式(3)的①式中的 E_R 是有符号数。由于 M_R 的位数一定,考虑二进制加法的进位情况,所以在 M_R 小于、大于0.6时用公式(3)的①②、③④分别求 E_R 与 M_R 。公式(3)的②④中对 M_R 进行截尾保存是转换误差产生的一个根本原因。

4.2 二进制纯小数转BCD码算法

设 n 位二进制纯小数 B 为公式(4)所示,采用4K位的 B_{BCD} (K 为大于1的自然数)来存放 B 的BCD码。

$$B = \{B_{n-1}B_{n-2} \cdots B_0\} = (B_{n-1} + \cdots (B_2 + (B_1 + B_0 \times 2^{-1}) \times 2^{-1}) \cdots) \times 2^{-1} \quad (4)$$

根据公式(4)可得转换算法如下:

```
BBCD = 0
FOR I = 0 TO N - 1 LOOP
    BBCD = B1 & BBCD / 2
END LOOP
B1 & BBCD表示 B1 与 BBCD 连接起来的意思。
B1 & BBCD / 2 的算法可以参考文献[1]。
```

5 仿真分析

图1的仿真结果是在时钟周期为1μs时得出的。具体分析见表3。

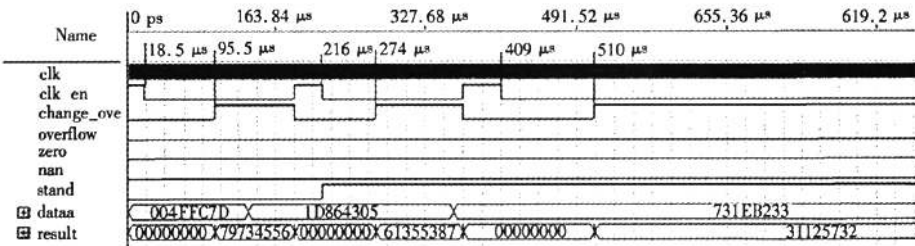


图1 仿真波形图
Fig.1 Simulation waveforms

表3 图1的仿真结果分析
Table 3 Analysis of simulation results in Figure 1

实际的数	32 位 IEEE754 浮点数	转换结果 /耗时	说明
$7.345\ 58 \times 10^{-39}$	004FFC7D	79734556 /77 周期	该数为非规格化浮点数,故而 overflow、zero、NaN、stand 均为零。转换的结果为 $7.345\ 53 \times 10^{-39}$ 。
$3.553\ 88 \times 10^{-21}$	1D864305	61355387 /58 周期	该数为规格化浮点数,故而 overflow、zero、NaN 均为零, stand = 1。转换的结果为 $3.553\ 87 \times 10^{-21}$ 。
$1.257\ 32 \times 10^{31}$	731EB233	31125732 /101 周期	该数为规格化浮点数,故而 overflow、zero、NaN 均为零, stand = 1。转换的结果为 $1.257\ 32 \times 10^{31}$ 。

由图1和表3可以看出,| N_b |≥1的数转换由于多进行公式(1)的除法运算,所以此类浮点数转换所使用的周期数最多。 $7.345\ 58 \times 10^{-39}$ 与 $3.553\ 88 \times 10^{-21}$ 转换后的误差即是4.1提到的截尾造成的。

6 结论

本算法虽然针对的是32位IEEE754单精度浮点数,但是,算法本身只要通过修改相应的寄存器长度很容易实现IEEE754标准中所定义的双

精度或扩展精度浮点数向 BCD 码的转换。IP 核在 BCD 码转换时出现的误差,一方面来源于 4.1 的截尾误差;另一方面还来源于二进制数不能精确表示某些十进制数造成的(比如 0.1)。IP 核在

EP1C6Q240C8 芯片上实现了 732 个逻辑单元的使用以及 69.21 MHz 最大运行速度。针对其他不同的芯片,根据芯片资源的不同,结构的不同使用的资源数以及最大运行速度会有所出入。

参考文献:

- [1] 王迎春,吉利久.一种基于简单移位的二-十进制相互转换算法[J].电子学报,2003,31(2):221-224.
- [2] 陈国照.51 单片机整数二-十进制转换的快速算法[J].单片机与嵌入式系统应用,2007(2):25-27.
- [3] 张克彦.80C196 系列单片机高精度浮点运算及数制转换子程序[J].单片机与嵌入式系统应用,2001(3):38-42,62.
- [4] Christopher Vickery. IEEE 754 reference material[EB/OL]. <http://babbage.cs.qc.edu/IEEE-754/References.xhtml>.

IP Core Design of Single - precision Floating - point to Decimal Conversion

ZHOU Lei, CHENG Kai-you, SUN Hong-guo

(School of Electrical Engineering, Yancheng Institute of Technology, Jiangsu Yancheng 224051, China)

Abstract: Using FPGA digital signal processing systems, it always busy with IEEE 754 floating - point to BCD code conversion. Based on the FPGA design, the paper presents a simple shift, addition, subtraction operations as the core of the transformation algorithm, for a state machine structure with VHDL language, and achieved the use of 732 logic cells and the maximum operating speed of 69.21 MHz in EPEC6Q240C8.

Keywords: IEEE 754 floating - point; BCD; FPGA; IP core

(责任编辑:沈建新;校对:张英健)