

PDH标准的E3次群测试序列发生器的FPGA设计

周 鹏

(抚顺职业技术学院 机电工程系, 辽宁 抚顺 113122)

摘要: 为了提高 PDH 标准下 E3 次群信号通信设备的可靠性及功能的多样性, 设计了一种基于 FPGA 器件的测试序列发生器系统。在整个设计过程中, 完成了测试系统各个功能模块的设计与硬件实现, 其中主要包括系统控制模块、PRBS 生成模块、误码生成模块和 HDB3 码转换模块。利用 Quartus II 软件内嵌的 SignalTap II Logic Analyzer 对序列发生器进行了实时的测试, 结果比较准确, 能够完成测试所需的基本工作任务, 因此该测试系统的设计具有一定的实用价值。

关键词: PDH; E3; 测试序列发生器; FPGA

中图分类号: TN914.3

文献标识码: A

文章编号: 1671-5322(2015)01-0056-05

目前在光纤通信中, 虽然 PDH(准同步数字系列)体系已被 SDH(同步数字体系)体系取代, 且 SDH 体系的优点也逐步突显出来。但与之相比, PDH 体系却因其容量适中、配置灵活、成本低廉、功能齐全, 并且可以进行“私人订制”等特点, 在实际应用中极受客户的欢迎; 同时, PDH 标准下的 E3 次群信号的时钟速率为 34.368 MHz, 正好可以应用在彩色电视视频信号速率级别的分析上^[1], 所以, 为了提高 E3 信号通信系统的可靠性及功能的多样性, 有必要设计一种 E3 信号的测试序列发生器, 来完成对 PDH 设备性能的测试。FPGA 器件由于具有静态可重复编程和动态系统重构的特性, 极大地提高了电子通信系统设计的灵活性和通用性^[2]。因此, 本文提出了采用 FPGA 来设计 PDH 通信设备的 E3 信号测试系统。

1 序列发生器的整体设计

本序列发生器主要由系统控制模块、PRBS 生成模块、误码生成模块和 HDB3 码转换模块构成。其整体结构如图 1 所示。

其中 clk 为 FPGA 的 50 MHz 系统工作时钟, rst_n 为系统复位输入。系统控制模块主要用于实现 E3 次群时钟信号 e3clk 及各模块的同步复位信号 sys_rst_n; PRBS 生成模块用于生成系统测试所需的伪随机序列; w_prbs 将二进制伪随机码

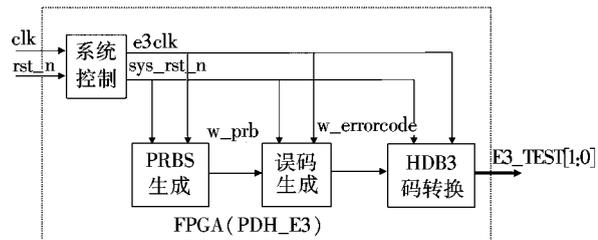


图 1 测试序列发生器的整体结构简图

Fig. 1 Overall structure diagram of test sequence generator

传递给误码生成模块, 以完成测试误码的插入工作; w_errorcode 将插入误码后的测试序列传递到 HDB3 码转换模块, 用于形成符合 PDH 标准的 E3 信号要求的 HDB3 编码格式; E3_TEST[1:0] 为最终用于进行设备测试的序列信号。

2 测试序列发生器的 FPGA 设计

序列发生器的硬件主要采用 FPGA 核心板, 其中核心芯片使用的是 Altera 公司目前较新的 Cyclone IV 系列器件, 芯片型号为 EP4CE6E228 N, 具有 272 个逻辑资源、276280Bit 内置 SDRAM, 92 个用户 I/O 引脚^[3]。核心板上具有 FPGA 开发的最小系统, 包括电源电路、时钟电路、SDRAM 存储电路、JTAG 下载电路等。软件部分采用 Verilog HDL 硬件描述语言对各模块进行编写设计,

通过 Quartus II 软件完成代码的编辑输入、编译、综合及硬件电路实现的工作,下面给出各模块的具体设计过程。

2.1 系统控制模块设计

本模块主要完成 E3 信号的时钟频率 e3clk (34.368 MHz) 及各个模块同步复位信号的设计。

e3clk 的时钟主要通过 FPGA 内部的 PLL 对系统的基准时钟 50 MHz 进行倍频和分频处理来实现。经过多次的测试与仿真,其中倍频系数设为 2 148、分频系数设为 3 125,即可得到时钟周期为 29.096 ns、频率为 34.368 MHz 的 e3clk 时钟信号,其 modelsim 仿真波形如图 2 所示。

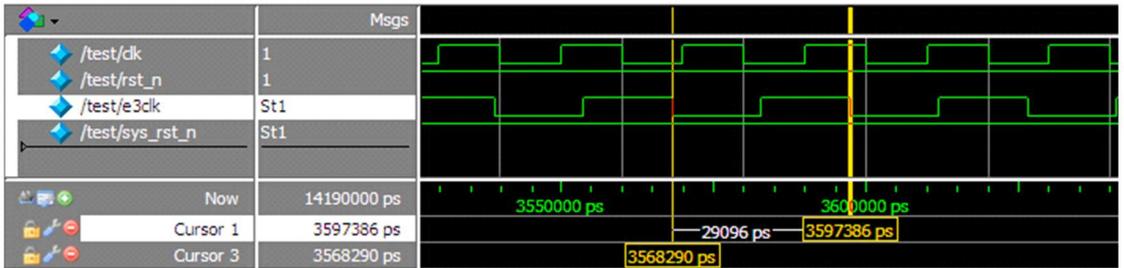


图2 e3clk 时钟信号

Fig. 2 e3clk clock signal

各模块同步复位信号 sys_rst_n 主要由系统复位信号与 FPGA 内部的 PLL 输出锁定信号作相与运算来实现。即锁定信号为高电平时,e3clk 输出才有效,这时将锁定信号与系统复位信号相与便得到同步复位信号,目的是为了保证系统的各个模块能够在同一时钟及同一复位信号下同步的工作。

2.2 PRBS 生成模块设计

本模块主要完成测试所需的伪随机序列信号 (PRBS) 的生成。PRBS 是通过仪器设备产生的类似于随机信号统计特点的可重复的周期二进制序列,本文主要使用 PRBS 对 PDH 标准下 E3 次群信号的通信设备进行性能测试。

这里使用 M 序列来实现 PRBS 的产生。 M 序列是一种应用比较广泛的伪随机序列,序列中“1”和“0”码出现的概率是相等的,因此常把 M 序列称为伪随机序列。 M 序列的生成主要由 1 个 n 级线性反馈移位寄存器 (如图 3) 所产生的二进制序列来实现, M 表示序列的周期,其长度为 $2^n - 1$ ^[4]。

长度不同的 M 序列由不同的线性反馈移位寄存器构成,可以用本原多项式表示:

$$f(x) = \sum_{i=0}^n C_i x^i \quad (1)$$

其中 C_i 为第 i 级的反馈系数,取值可为 0 或 1。为了便于说明和观察设计过程,这里取 $n = 4$,即 4 级反馈移位寄存器,相应的本原多项式为:

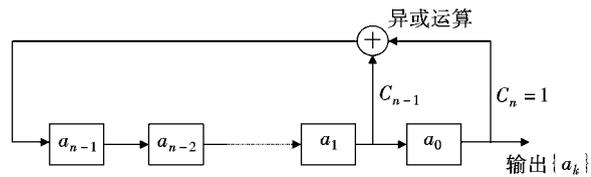


图3 M 序列 n 级线性反馈移位寄存器

Fig. 3 M sequence of n -stage linear feedback shift register

$$f(x) = 1 + x^3 + x^4 \quad (2)$$

具体实现过程为:在 FPGA 内部定义 1 个 4 位移位寄存器,在每个 e3clk 的时钟上升沿将 1、2 位寄存器的输出异或后反馈到第 4 位寄存器中,即可得到 1 个周期长度为 15 的伪随机序列其 modelsim 仿真波形如图 4 所示。

从图 4 中可以看到输出的 PRBS_4 每隔 15 个 e3clk 时钟就重复产生 1 次,在每个序列周期内,序列的数值 0 和 1 是随机出现的。

2.3 误码生成模块设计

本模块主要完成序列误码插入的工作,目的是为了测试 PDH 设备的误码性能。具体设计过程为:在 e3clk 的上升沿,对每个输入的 PRBS 序列码进行计数并将该序列直接输出,当计数值为 1 000 时,将计数器的进位输出与 PRBS 当前序列作异或运算,使其作为 1 个误码出现在 PRBS 序列中。以此类推,每 1000 个 PRBS 序列中就会出现 1 个误码,其 modelsim 仿真波形如图 5 所示。

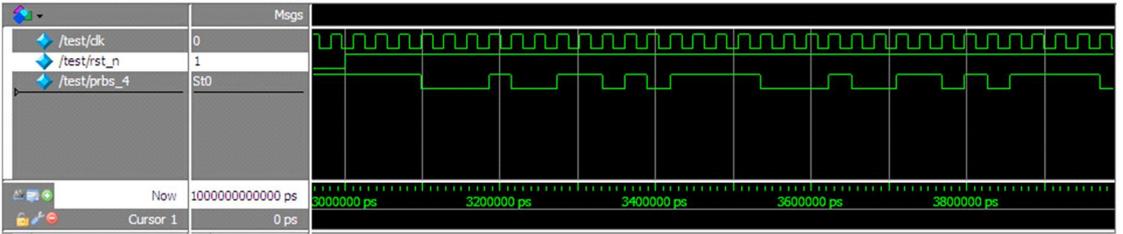


图 4 PRBS 波形仿真图
Fig. 4 PRBS simulation waveform

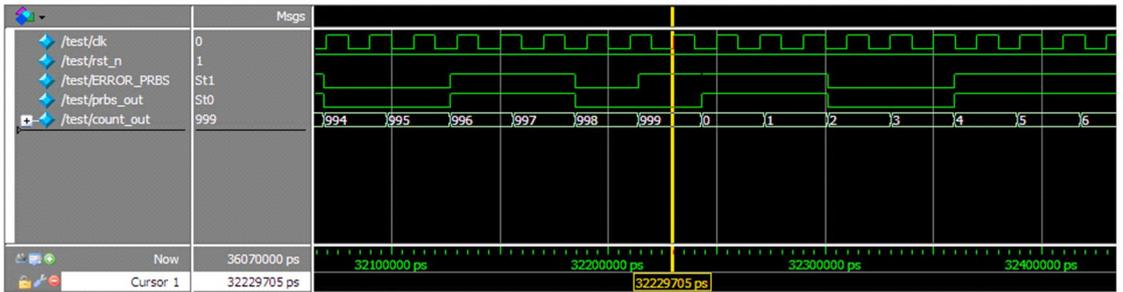


图 5 测试序列的误码插入仿真波形
Fig. 5 Error code insertion of test sequence simulation waveform

从图 5 中可以看到当计数器计数到 999 时(此时已经计数了 1 000 个 PRBS 序列, 计数进位输出为 1)PRBS 序列当前值为 0, 两者异或结果为 1, 因此看到 ERROR_PRBS 带有误码的测试序列输出 1, 实现了误码的插入。

2.4 HDB3码转换模块设计

本模块主要完成测试序列的 HDB3 码转换, 目的是使发生器所输出的序列符合 E 3 次群信号的接口标准

HDB3 的编码规则如下^[5]:

(1) 当序列中连 0 数小于 4 时, HDB3 码和 AMI 码相同;

(2) 若出现 4 个或 4 个以上的连 0 时, 则将 1 后的第 4 个 0 变为与前一非 0 符号相同极性的符号, 用 V 表示。

(3) 检查相邻 V 符号间的非 0 符号的个数是否为偶数, 若为偶数, 则再将当前的 V 符号的前一非 0 符号后的第 1 个 0 变为 +B 或 -B, 且 B 的极性与前一非 0 符号的极性相反, 并使后面的非 0 符号从 V 开始再交替变化。

为了便于 HDB3 码转换的 FPGA 实现, 首先将带有误码输出的测试序列进行 V 码变换, 再将 V 码变换为 B 码, 最后是码元极性的变换, 实现的整体过程如图 6 所示。

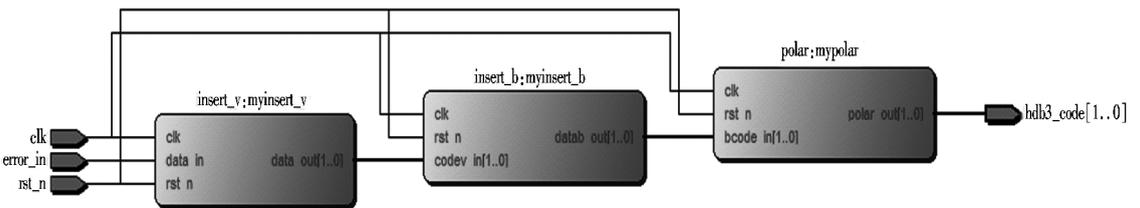


图 6 HDB3 码转换的整体结构图
Fig. 6 Overall structure diagram of HDB3 code conversion

图 6 中 insert_v 为 V 码变换模块, 对输入的序列进行连 0 检查, 当发现连续 4 或 4 个以上的连 0 时, 第 4 个 0 变为 V 码(V 码用 2 位二进制数 11 表示), 否则序列直接输出(码元 0 用“00”表

示, 1 用“01”表示); insert_b 为 B 码变换模块, 对输入的 V 码进行相邻 V 符号间非 0 符号个数的检查, 若为偶数, 则将当前 V 符号的前一非 0 符号后的第 1 个 0 变为 B 码(B 码用 2 位二进制数

“10”表示)。

polar 为极性变换模块,对插入 V 码和 B 码后的序列进行极性的正负交替变换。在模块内部有 1 个极性标志位 even(1 表示极性为正,0 表示极性为负),初始化时设其值为 1。当检测到 V 码时,若 even 为 1,则模块输出“01”(正电平用“01”

表示,负电平用“11”表示),否则输出“11”;当检测到 1 或 B 码时,若 even 为 1,则模块输出“11”,进行输出码的正负极性交替,同时对 even 清 0,方便后续代码的极性转变,若 even 为 0,则模块输出“01”,同时对 even 设置为 1;当检测到 0 码时,直接输出“00”。具体的仿真波形如图 7 所示。

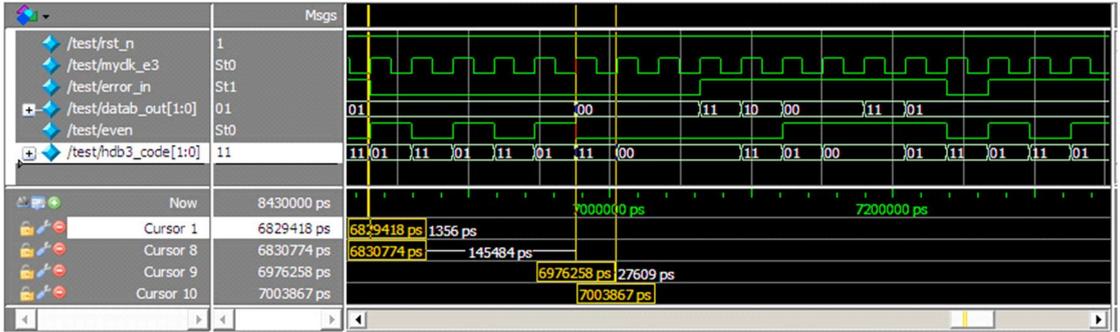


图 7 HDB 3 转换模块输出仿真波形图

Fig. 7 Output simulation waveform of HDB3 code conversion module

现取图 7 波形的一部分进行分析说明。从左侧第 1 根黄色时间线开始 error_in(误码输出)序列为:000000001111;由于对 error_in 序列进行了 V 码和 B 码的变换,B 码内部有 1 个 4 位移位寄存器,因此 B 码输出落后 error_in 序列 5 个时钟(即从第 2 根黄色时间线开始),B 输出序列为:00 00 00 11(V 码) 10 (B 码)00 00 11(V 码)01 01 01 01;第 3 根黄色时间线为 HDB3 码输出(序列极性翻转),其落后 B 码输出 1 个时钟,输出序列

为:00 00 00 11(-1 负电平)01(+1 正电平) 00 00 01(+1 正电平)11(-1 负电平)01(+1 正电平)11(-1 负电平)01(+1 正电平),由此可见本模块的设计符合 HDB3 编码规则。

3 验证测试

本文使用 Quartus II 软件内部自带的 Signal-Tap II Logic Analyzer 对测试序列发生器进行了实时测试,结果如图 8 所示。



图 8 序列发生器的实时测试波形结果

Fig. 8 Waveform results of sequence generator in real time test

为了便于对测试波形的观察与分析,这里设置 SignalTap II Logic Analyzer 的采样时钟为 34.368 MHz(即 E3 信号的时钟频率),取 PRBS 生成序列的长度为 $2^{15} - 1$ 。根据波形图,从第 1758 个时间点开始分析到 1774 时间点结束,prbs_15 为伪随机序列,error_out 为测试误码输出;E3_TEST 为发生器的输出序列(与 hdb3_code 的输出结果相同)。

致使发生器输出的序列落后误码输入 6 个时钟下面给出输出的对比结果:

PRBS:1100001010000001
 ERROR:1100001000000001
 HDB3_CODE:11 01 11 00 00 11 01 00 00 00 01 11 00 00 11 01
 (两位二进制数表示 1 位输出序列)
 E3_TEST:11 01 11 00 00 11 01 00 00 00 01

由于 HDB3 编码模块本身设计结构的特点

11 00 00 11 01

(即 $-1 + 1 - B00 - V + 1000 + V - B00 - V + 1$)

从上述结果分析可知本发生器的设计十分正确,完全可以满足实际设计的需求。

4 结论

本文采用 FPGA 器件实现了 PDH 标准下 E3 次群信号通信设备序列测试系统的设计。在单一

的 FPGA 芯片上,采用 Verilog HDL 硬件描述语言,完成了系统控制模块、PRBS 生成模块、误码生成模块和 HDB3 码转换模块的设计,经过 Quartus II 软件的综合与布线,最终实现了测试序列发生器的设计。同时对各设计模块及序列发生器进行了仿真和实时的硬件测试,结果表明,该序列发生器工作稳定、可靠,可以根据不同的需求进行灵活的修改,能够满足实际的测试要求,具有较好的应用价值。

参考文献:

- [1] 胡辽林,刘雪峰. SDH 中 E3 复用/解复用系统的 FPGA 实现[J]. 光通信技术,2013(2):44-46.
- [2] 孙玥,吴彬. 基于 FPGA 的 E 信号校验电路的设计[J]. 中国新通信,2014(8):97-98.
- [3] 杨少东,覃琴. 基于 FPGA 的图像采集处理平台的设计[J]. 电子世界,2014(4):118-119.
- [4] 刘亚娟. 基于 Simulink 的 m 序列仿真分析[J]. 长江大学学报:自然科学版 2014,11(22):52-54.
- [5] 李春晖. 基于 SystemView 的 HDB3 编码器设计[J]. 信息通信,2014(9):41.

Test Sequence Generator of E3 Group with PDH Standard Designed by FPGA

ZHOU Peng

(The Department of Electrical Engineering, Fushun Vocational Technology Institute, Fushun Liaoning 113122, China)

Abstract: In order to improve the reliability and the diversity of function of E3 group signal communication equipment with PDH standard, we designed a test sequence generator system based on FPGA device. In the whole process of design, we completed the implementation of hardware and the design of each function module of test system, which mainly included the system control module, PRBS generation module, error code generation module and HDB3 code conversion module. Using SignalTap II Logic Analyzer module embedded in Quartus II software for real-time testing of the sequence generator, the result is more accurate. The sequence generator can complete the basic tasks required to test, so it has certain practical value to design the test system.

Keywords: PDH; E3; Test sequence generator; FPGA

(责任编辑:张英健)

PDH 标准的 E3次群测试序列发生器的 FPGA 设计

作者: [周鹏, ZHOU Peng](#)
作者单位: [抚顺职业技术学院机电工程系, 辽宁抚顺, 113122](#)
刊名: [盐城工学院学报 \(自然科学版\)](#)
英文刊名: [Journal of Yancheng Institute of Technology \(Natural Science Edition\)](#)
年, 卷(期): 2015(1)

引用本文格式: [周鹏, ZHOU Peng PDH 标准的 E3次群测试序列发生器的 FPGA 设计 \[期刊论文\]-盐城工学院学报 \(自然科学版\) 2015\(1\)](#)