

基于 FPGA 的时间数字转换器的编码器

周 磊¹,王春娥²

(1. 盐城工学院 电气工程学院,江苏 盐城 224051;2. 盐城工学院 材料工程学院,江苏 盐城 224051)

摘要:时间数字转换器的编码器需要把温度计码转换 1-0(0-1)跳变处的二进制位置码。针对 FPGA 的查找表结构,实现了处理任意 2^m 位温度计码的 3 种行为级编码器(顺序查找法、折半查找法和累加法)和 4 种数据流级编码器(wallace 树、胖树、MUX 和 ROM)的算法描述,并在 EP3C25E144I7 中实现。通过对比编码器的 LUT 使用个数、最短路径延时、最长路径延时和毛刺,发现在 FPGA 上性能相近且最优的是胖树结构和 ROM 结构的编码器。ROM 结构比胖树结构更易于被编程实现和移植。

关键词:编码器;时间数字转换器;FPGA;胖树;ROM

中图分类号:TN791 **文献标识码:**A **文章编号:**1671-5322(2015)02-0015-05

基于 FPGA(Field Programming Gate Array,现场可编程门阵列)的时间数字转换器^[1-3](Time to Digital Converter, TDC)的基本结构如图 1 所示。在确保待测信号 s 到达延时链输入端的传输延时和系统时钟 clk 到达寄存器时钟脚的传输延时一致的情况下,经过延时链的 s 信号上升沿(下降沿)跳变被寄存器锁存后的输出 $tc[n-1:0] = 1111 \cdots 00000$ (0000 $\cdots$ 11111),称为温度计码(Thermometer Code)。 tc 的 1-0(0-1)跳变位置反映了 s 的跳变沿到时钟的上升沿之间的延时,由温度计码编码器(Thermometer Code Encoder, TCE)计算出 tc 跳变沿的位置 $bg[m-1:0]$,再累加 tc 跳变沿之前每个延时单元的延时,可得到 s 跳变沿到 clk 上升沿下降沿之间的延时。

延时链的总延时 t_{dl} 大于时钟周期 T_{clk} 时,TDC 可以正确锁存 tc 。TCE 处于锁存寄存器组和 FIFO 中间,为满足寄存器的建立时间和保持时间约束,TCE 最大路径延时应该小于 T_{clk} 。由此,TCE 的最大路径延时越小,TDC 的死时间越小, f_{clk} 就越高, T_{clk} 就越小, t_{dl} 就可以越小,延时链的长度就可以越短,整个 TDC 的使用资源就越少,单片 FPGA 中的 TDC 通道数^[3-4]就可以越多。而单周期的 TCE 允许 TDC 连续测量。

在 ADC(Analog to Digital Converter,模数转换器)设计中涉及的是 16 位及以下的 TCE,主要实现方法有:Wallace 树^[5-6]结构、ROM 结构^[7]、胖树结构^[8]、MUX 结构^[9]。设计选择的目标芯片为 Altera 公司的 EP3C25E144I7,它每个 LAB(Logic Array Block,逻辑阵列块)中有 16 个 LE(Logic Elements,逻辑单元),每个 LE 由 1 个 LUT(Look Up Table,查找表)和 1 个触发器组成^[10]。这就意味着在 FPGA 中采用任何结构来实现 TCE,最终都是由 LUT 基本单元以及单元之间固定的可编程连线资源构成。另外,由于 FPGA 中延时链多采用一列上位置相邻的 LAB 中 LUT 顺序级联实现,单元延时都在 ps 级别, $tc[n-1:0]$ 的长度 $n = 16k$ (k 取决于 T_{clk} ,取自然数)位。FPGA 固定的连线资源、不变的最小组合逻辑单元 LUT 和任意的 n ,要求 FPGA 中的 TCE 设计需要对全定制 ADC 采用的编码结构进行拓展,找到一种通用性强、人工干预少、纠错能力强、最大路径延时小、使用 LUT 个数少和毛刺少的编码算法。

1 编码器的实现

如图 1,TCE 的输入为 n 位的 $tc[n-1:0]$,输出为 m 位的 $bg[m-1:0]$ 。考虑 $n = 16k$,以及

MUX 的结构要求 $n=2^m$, 设计实现了 $k=[1\ 2\ 4\ 8\ 16\ 32]$, $m=[4\ 5\ 6\ 7\ 8\ 9]$, $n=[16\ 32\ 64\ 128\ 256\ 512]$ 这 6 种情况的 TCE, 其他 n 位 TCE 可按照算法或结构简单的修改而得到。下文中如没有特殊说明, n 表示输入的 tc 位数, m 表示输出的二进制码 bg 位数。

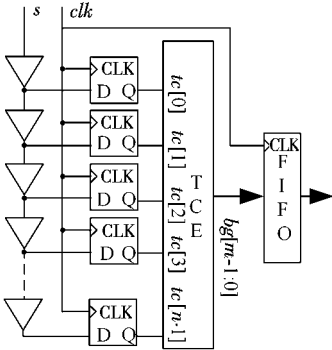


图 1 TDC 原理框图
Fig. 1 Schematic of TDC

由于随机噪声, 或者违反时序造成的触发器亚稳态现象, 在寄存器输出的 tc 会有“火花”或者“气泡”(bubble)现象^[7], TCE 应该予以考虑。以下算法处理的 $tc[n-1:0]$ 均是形如 1111...00000。

1.1 行为级编码器

直接从算法的角度来实现 TCE, 具体的硬件结构完全交给 EDA 软件来实现, 称为行为级编码器。

1.1.1 顺序查找

利用 for 循环, 从 tc 的第 0 位依次遍历到第 1 个 0-1(1-0)跳变的位置, 输出跳变处的位置序号, 完成编码。顺序查找算法比较直观, 无需任何外加电路就可以抑制 bubble 现象, 缺点是最大循环次数为 n 次。

1.1.2 折半查找

根据 tc 的特征, 可以使用折半查找法查找 0-1(1-0)跳变的位置。折半查找法的循环次数最大为 m 次, 但是 bubble 现象会导致错误的输出, 故需要外加电路来消除 bubble 现象。

1.1.3 累加法

通过累加 tc 中 1 的个数来判断 0-1(1-0)跳变的位置实现编码。累加法需要循环累加 n 次, bubble 现象引起的误差在 bg 上体现为几个 LSB 的误差。

1.2 数据流级编码器

从硬件结构上找到一种最适宜的编码算法, 称为数据流级编码器。这不仅节省 FPGA 资源还能很好地控制最大路径延时。

1.2.1 Wallace 树结构

类似于 1.1.3 的累加法, Wallace 树是利用全加器对 $tc[n-1:0]$ 中的 1 进行累加, 区别是 Wallace 树的每个全加器对应 2 个 LUT, 故其使用的资源数和路径延时均是可控的。不过要达到最优的布局布线结果, 需要人工锁定每个全加器的位置, 增加了其在 FPGA 中的实现难度。 $n-1$ 位的 Wallace 树结构的 TCE 如图 2 所示, 使用的 LUT 个数 $x_{(m-1)w}$ 和关键路径长度 $c_{(m-1)w}$ 见公式(1)、(2)。Wallace 树结构不能消除 bubble 现象带来的编码误差。

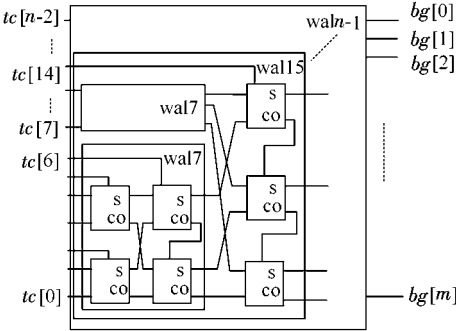


图 2 Wallace 树结构 TCE
Fig. 2 Wallace-tree TCE

$$x_{(m-1)w} = \begin{cases} 2 & m = 1 \\ 2^{m+1} - 2m - 2 & m > 1 \end{cases} \quad (1)$$

$$c_{(m-1)w} = \begin{cases} 1 & m = 1 \\ 2m - 3 & m > 1 \end{cases} \quad (2)$$

1.2.2 胖树结构

胖树结构 TCE 需要一个如图 3 所示的 1-out-of- n 码转换电路, 把 $tc[n-1:0]$ 转换成形如 00010...00000 的 $tcln[n-1:0]$, 转换电路可以消除 2 阶及以下的 bubble。 n 位胖树结构的 TCE 如公式(3)(4)所示。

$$\begin{aligned} n/2^{i+1} - 1 \\ bg[i] = OR \quad tcln_i[2j+1] \\ j = 0 \\ 0 \leq i \leq m-1 \end{aligned} \quad (3)$$

其中 OR 表示每个元素连续相或。

$tcln_i$ 与 $tcln_{i+1}$ 之间的关系如公式(4)所示, $tcln_0 = tcln$ 。

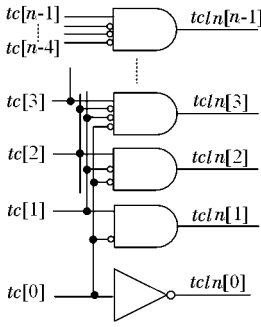


图3 1-out-of-n 转换电路

Fig.3 1-out-of-n circuit

$$tcln_{n+i}[p] = tcln_i[2p] + tcln_i[2p+1] \quad (4)$$

$$0 \leq p < \frac{n}{2^i}$$

使用 LUT 的个数 x_{mf} 和关键路径长度 c_{mf} 如公式(5)~(7)所示。其中 x_{mff} 为一级可复用的 4 输入 LUT 个数。由于在 $m > 6$ 以后会有二级及以下的 4 输入 LUT 复用情况,故 x_{mf} 与实际的综合结果在 $m > 6$ 以后的误差会有所增大。

$$x_{mff} = \begin{cases} 1 & m = 1 \\ \frac{m}{3}(2^{m-1} - 1) - x_{mff} & m \in \{3, 5, 7, \dots\} \\ \frac{m}{6}(2^m + 2) - x_{mff} & m \in \{2, 4, 6, \dots\} \end{cases} \quad (5)$$

$$x_{mff} = \begin{cases} 0 & m < 4 \\ 2 & m = 4 \\ x_{(m-1)ff} + (m - \frac{5}{2})2^{m-4} & m > 4 \end{cases} \quad (6)$$

$$c_{mf} = \begin{cases} 1 & m \in \{1, 2\} \\ \text{INT}(\frac{m}{2}) & m \in \{3, 4, 5, \dots\} \end{cases} \quad (7)$$

1.2.3 MUX 结构

MUX 结构的 TCE 如公式(8)、(9)所示,它使用 2 选 1 选择器个数 $x_{(m-1)m}$ 和关键路径长度 $c_{(m-1)m}$ 如公式(10)、(11)所示。MUX 结构的缺点是高位 bg 输出数较多,这个问题在 fpga 中实现 TCE 显得尤为突出。

$$bg[i] = \sim tc_i[\frac{n_i}{2}] \quad i \in \{0, 1, \dots, m-1\} \quad (8)$$

其中, $tc_m = tc, n_m = n$ 。

$$n_i = \frac{n_{i+1}}{2}$$

$$tc_i[n_i - 1:1] = bg[i+1] = 1'b1? \quad (9)$$

$$tc_{i+1}[n_{i+1} - 1:\frac{n_{i+1}}{2} + 1] : tc_{i+1}[\frac{n_{i+1}}{2} - 1:1]$$

$$x_{(m-1)m} = 2^m - m - 1 \quad (10)$$

$$c_{(m-1)m} = m - 1 \quad (11)$$

1.2.4 ROM 结构

ADC 设计中的 tc 经过图3所示的 1-out-of-n 转换电路转换成 $tcln$ 后经 ROM 结构编码为二进制码。ROM 结构实现 TCE 的算法如公式(12)所示,它使用 4 输入或门(1 个 LUT)个数 x_{mr} 和关键路径长度 c_{mr} 如公式(6)、(7)所示。

$$bg[i] = \begin{matrix} 2^{m-i-1} - 1 & 2^{i+1} + q2^{i+1} - 2 \\ OR & (OR \quad tcln[j])0 \leq i \leq m-1 \\ q = 0 & j = 2^i + q2^{i+1} - 1 \end{matrix} \quad (12)$$

其中,OR 表示多个元素连续相或,INT 表示取整。ROM 结构的 TCE 最大优点是,决定 $bg[i]$ 的逻辑输入直接取自 $tcln$,并且每个 $bg[i]$ 逻辑相或的 $tcln$ 位数均为 2^{m-1} ,每个 $bg[i]$ 的路径长度均为 c_{mr} ,这使得 ROM 结构的 TCE 具有最小的毛刺和最小的路径延时。

尽管公式(6)和公式(12)给出的 TCE 算法不一样,但是由于 $bg[i]$ 均是 2^{m-1} 位 $tcln$ 相或的结果,以及 FPGA 中组合逻辑的基本实现单元是 LUT,导致了 ROM 结构和胖树结构的 TCE 的最终布局布线结构非常相似。

2 编码器仿真结果分析

仿真软件采用的是 64 位的 Quartus II 13.1 和 ModelSim 10.2c。目标芯片是 Altera 的 Cyclone III 系列中的 EP3C25E144I7,仿真时序采用 Fast 1200mV - 40C Model, TCE 时钟为 250 MHz。采用虚拟管脚和位置锁定,使得 TCE 的输入来自一列触发器的输出, TCE 使用紧邻触发器所在列的后 2 列资源,个别需要 3 列。

取 $m \in \{4, 5, 6, 7, 8, 9\}$, 从 LUT 使用个数、最短路径延时、最长路径延时和输出毛刺 4 个方面对比 3 种行为级编码器:顺序查找法(sf)、折半查找法(hf)和累加法(af)和 4 种数据流级编码器:wallace 树(wt)、胖树(ft)、MUX 结构(mc)和 ROM 结构(rc),最终仿真结果如图 4~图 7 所示,图中每条折线均对应着同样 m 值的不同编码算法,相关的延时数据来自于 TimeQuest 分析。

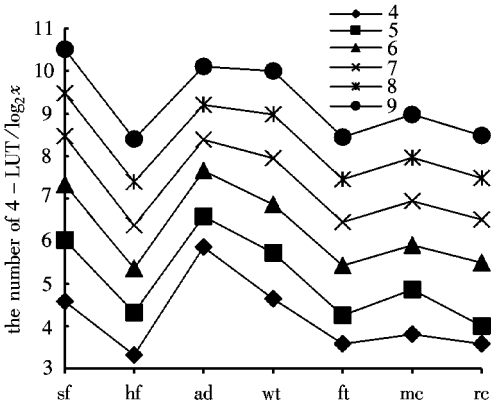


图 4 使用 LUT 的个数
Fig.4 The number of 4 - LUT

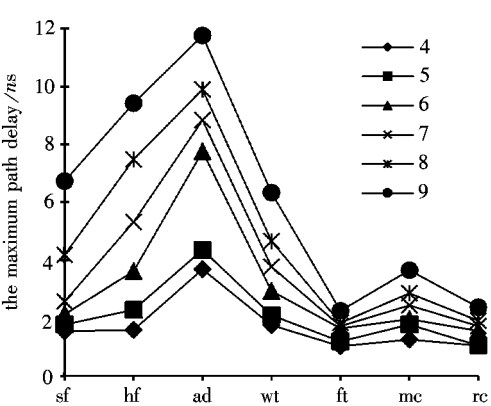


图 6 最长路径延时
Fig.6 The maximum path delay

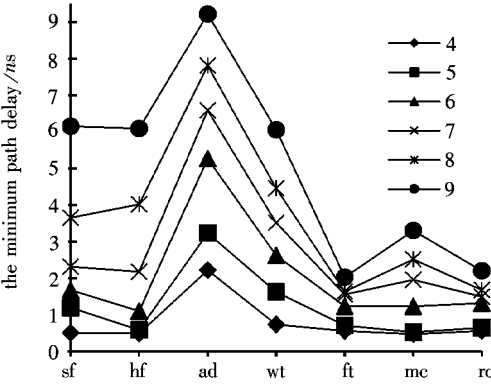


图 5 最短路径延时
Fig.5 The minimum path delay

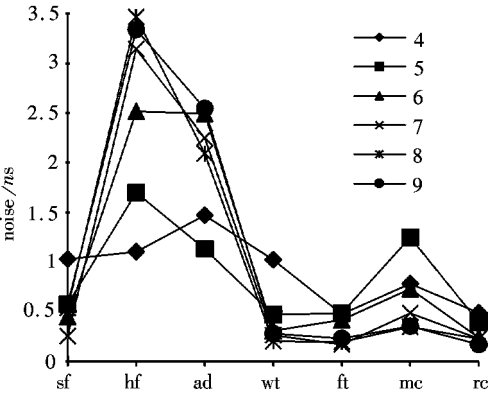


图 7 毛刺
Fig.7 Noise

3 结束语

比较 7 种 TCE 实现算法后发现胖树结构和 ROM 结构在 FPGA 中布局布线的结果是一致的。图 4 中可以看出胖树结构和 ROM 结构的 TCE 使用的 LUT 个数均随 m 的增加基本呈现倍增关系;图 5 ~ 图 7 可以看出胖树结构和 ROM 结构的 TCE 的最短路径延时、最长路径延时和毛刺随 m

的增加变化不是很明显,这说明胖树结构和 ROM 结构在处理超宽位的 tc 时占绝对优势。对比胖树结构的算法描述公式(3)、(4)和 ROM 结构的算法描述公式(12),可以发现 ROM 结构的 TCE 在编程上程序语句更简练,易于实现和在不同 FPGA 之间的移植。

参考文献:

[1] Kalisz J, Szplet R, Pasierbinski J, et al. Field - programmable - gate - array - based time - to - digital converter with 200 - ps resolution[J]. Instrumentation and Measurement, IEEE Transactions on, IEEE, 1997,46(1) :51 - 55.

[2] Wu Jinyuan, Shi Zonghan, Wang Irena Y. Firmware - only implementation of Time - to - Digital Converter (TDC) in field - programmable gate array (FPGA)[C]. Nuclear Science Symposium Conference Record, 2003 IEEE, IEEE, 2003,1:177 - 181.

[3] Lichard P, Konstantinou G, Vilanueva A V, et al. Performance evaluation of multiple (32 channels) sub - nanosecond TDC implemented in low - cost FPGA[J]. Journal of Instrumentation, IOP Publishing for Sissa Medialab, 2014,9(3) : C03013.

[4] Buechele M, Fischer H, Gorzellik M, et al. A 128 – channel Time – to – Digital Converter (TDC) inside a Virtex – 5 FPGA on the GANDALF module[J]. Journal of Instrumentation, IOP Publishing for Sissa Medialab, 2012,7(3):3 – 8.

[5] Wallace C S. A Suggestion for a Fast Multiplier[J]. Electronic Computers, IEEE Transactions on, IEEE, 1964,13(1):14 – 17.

[6] Kaess F, Kanan R, Hochet B, et al. New encoding scheme for high – speed flash ADCs[C]. Circuits and Systems, 1997. ISCAS 97. , Proceedings of 1997 IEEE International Symposium on. IEEE, 1997,1:5 – 8.

[7] Padoan S, Boni A, Morandi C, et al. A Novel coding schemes for the ROM of parallel ADCs, featuring reduced conversion noise in the case of single bubbles in the thermometer code[J]. Electronics, Circuits and Systems, 1998 IEEE International Conference on. IEEE, 1998,2:271 – 274.

[8] Lee D, Yoo J, Choi k, et al. Fat tree encoder design for ultra – high speed flash A/D converters[J]. IEEE Midwest Symposium on Circuits & Symposium on. IEEE, 2002,2:II – 87 – II – 90.

[9] Sail E, Vesterbacka M. A multiplexer based decoder for flash analog – to – digital converters[C]//TENCON 2004. 2004 IEEE Region 10 Conference. IEEE, 2004(4):250 – 253.

[10] Altera. Cyclone III Device Handbook[EB/OL]. (2012 – 8). http://www.altera.com.cn/literature/hb/cyc3/cyclone3_handbook.pdf.

FPGA – based Encoder of Time to Digital Converter

ZHOU Lei¹, WANG Chun'e²

(1. School of Electrical Engineering, Yancheng Institute of Technology, Yancheng Jiangsu 224051, China;)
(2. School of Materials Engineering, Yancheng Institute of Technology, Yancheng Jiangsu 224051, China)

Abstract:Time to digital converter encoder needs to transform the 1 – 0 (0 – 1) jump in thermometer code to the binary position code. For the lookup table structure of FPGA, it describes 3 behavior – level encoders(sequential search method, the binary search and accumulation method) and 4 dataflow – level encoders(Wallace tree, fat tree, MUX and ROM) algorithm, and implements in the EP3C25E144I7. By comparing the number of LUT, the shortest path delay, the longest path delay and noise, it is found that fat – tree and ROM encoder achieve the best performance on the FPGA, and have the similar performance. ROM encoder is easier to be programmed and transplanted. than fat – tree encoder.

Keywords:Encoder; TDC; FPGA; Fat Tree; ROM

(责任编辑:李华云)